

支持十位寻址和高速模式的 I²C 控制器设计

艾 刁, 吴龙胜, 盛廷义, 陈庆宇, 张 佳

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 设计了带 AHB 接口, 支持十位寻址和高速模式(3.4 Mb/s)的 I²C 控制器, 不仅提高了数据的传输速度, 还增加了可用从机的地址数量. 经过功能仿真及验证, 证明了设计的控制器可以正确地实现主机接收、主机发送、从机接收和从机发送等功能.

关键词: I²C 控制器; 十位寻址; 高速模式

中图分类号: TP342+3

文献标识码: A

文章编号: 1000-7180(2014)03-0094-04

The Design of I²C Controller With Ten-addressing and High-Speed Mode

AI Diao, WU Long-sheng, SHENG Ting-yi, CHEN Qing-yu, ZHANG Jia

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: This paper design a kind of I²C controller with AHB interface, ten-addressing and High-Speed mode, not only improve the speed of data transmission, and also increased the number of addresses available from the machine. And Functional simulation and verification proved that the controller can realize the functions of host receiving, host transmitting, slave receiving and slave transmitting correctly.

Key words: I²C controller ; ten-bit addressing; High-Speed mode

1 引言

I²C 总线是 PHILIPS 公司开发的两线式串行总线, 用于连接微控制器及其外围设备^[1], 其总线用两条线(串行时钟线 SCL 和串行数据线 SDA)就可以实现完善的全双工同步数据传送, 能够非常方便地构成单主机或多主机和外围器件的扩展系统^[2-3].

目前市场上仅支持 7 位寻址的标准(传输速率为 100 kb/s)或快速(传输速率为 400 kb/s)模式的 I²C 控制器已不能满足系统集成的需要. 为解决该问题, 本文设计了带 AHB 接口, 支持 10 位寻址和高速模式(传输速率为 3.4 Mb/s)的 I²C 控制器, 它不仅增加了可用从机的地址数量, 还向下兼容快速模式或标准模式, 使它们可以在一个速度混合的总线系统中双向通讯.

2 I²C 控制器结构设计

本文设计的 I²C 控制器具有向下兼容的特点,

即同时支持 7 位寻址和 10 位寻址, 支持标准模式、快速模式和高速模式. 与 UART(0.96 Mb/s)、SPI(1.05 Mb/s)、CAN(1 Mb/s)等典型的串行总线的速率相比, 高速模式下的 I²C 总线的传输速率具有较大的优势. 另外, 在主机系统的高速模式下, 不执行仲裁和时钟同步, 进一步加速了位处理能力.

I²C 控制器的十位寻址兼容七位寻址, 可支持的从机数目由 128 个增加到 1 024 个, 提高了基于 I²C 总线的系统集成能力. 在十位寻址的传输中, 主机发送器的寻址格式如图 1 所示, 主机接收器的寻址格式如图 2 所示. 其中, S 表示起始条件; A1、A2、A3、A 表示应答信号; Sr 表示重复起始条件.

本文设计的带 AHB 接口的控制器结构如图 3 所示, 主要包括四个模块: AHB 总线接口模块、移位控制模块、协议处理模块、I²C 总线接口模块, 具有十位寻址方式(兼容七位寻址)、高速模式(兼容标准模式和快速模式)、广播模式、主机发送或接受、从机发送或接收等功能.



图1 主机-发送器10位寻址从机-接收器

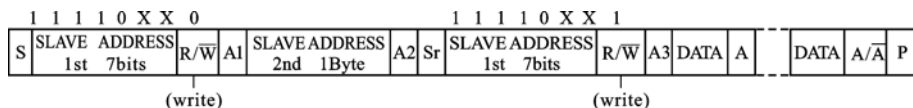
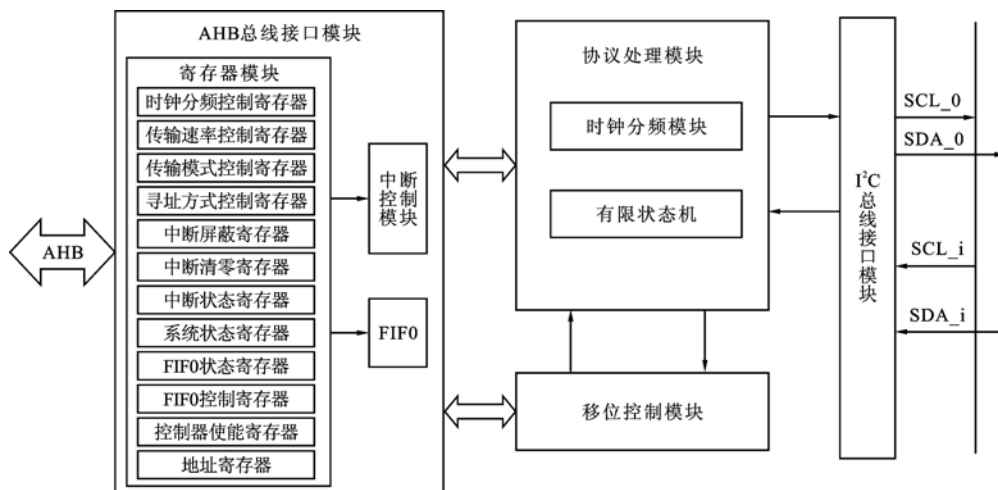


图2 主机-接收器十位寻址从机-发送器

图3 I²C控制器结构图

3 I²C 控制器各模块的设计

3.1 AHB 总线接口模块

AHB 总线接口模块主要包括寄存器模块、中断控制器模块和 FIFO 模块。其中,寄存器模块进行状态寄存器和各控制寄存器的更新。本文所设计的主要控制寄存器和状态寄存器见表 1 所示。其中,控制寄存器只能在 I²C 控制器运行之前进行更新,以确保数据传输的稳定性。

中断控制模块处理两种中断方式,一种来自 FIFO 的中断:发送 FIFO 空、发送 FIFO 溢出、接收 FIFO 满和接收 FIFO 溢出;另一种是来自协议处理模块的中断:address-match 中断、general-call 中断、master-code 中断、lose-arbitration 中断、NACK 中断、transmission-end 中断和控制器从发送数据转为接收数据的中断。这些中断都可以由中断屏蔽寄存器选择打开或者屏蔽,并通过对中断清零寄存器进行写操作来清除这些中断。

FIFO 模块中存储的是要发送或接收的数据。设计 FIFO 来存储数据主要是为了提高数据缓冲能力,使处理器与外设之间处理数据的速度相互匹配^[4]。

表 1 主要寄存器列表

名 称	描 述
传输速率控制寄存器	控制器的传输速率:标准模式、快速模式或高速模式
传输模式控制寄存器	控制器的工作模式:主机发送、主机接收、从机发送或从机接收
寻址方式寄存器	七位寻址或十位寻址
时钟分频控制寄存器	存储时钟的分频值
FIFO 控制寄存器	控制 FIFO 是否处于流控模式、对齐方式(字节、半字或字)、发送或接收的数据包大小
地址寄存器	存储控制器作为从机时的地址
中断清零寄存器	清除中断,写操作有效

3.2 移位控制模块

I²C 控制器与外部器件通过 SDA 线进行串行数据传输,而在内部是并行读写的,因此,在控制器内部需要串行转并行、并行转串行模块。本设计是通过移位的方式来实现这一转换的,在发送数据时,移位控制模块通过握手信号 TX_FIFO 从 FIFO 中将要发送的数据存入移位寄存器中,在此过程中将 SCL 拉低,加载完之后,释放 SCL,然后在 SCL 的下降沿时将发送的数据串行地移出并驱动在 SDA 线

上;接收数据时,在 SCL 上升沿接收数据,当一个数据帧(8 位)接收完之后,将移位寄存器中的数据通过握手信号 RX_FIFO 并行存入 FIFO 中,数据移出和接收的顺序都是从最高有效位到最低有效位.其中,握手信号和移位信号由协议处理模块中的有限状态机产生.

3.3 I²C 总线接口模块

该模块主要是对外部输入的 SCL_i 和 SDA_i 信号进行滤波和同步化处理,并且对 SCL_o 和 SDA_o 进行滤波,但是如果在高速模式下,则只进行同步,不进行滤波,因为高速模式有抑制毛刺的作用,这也是高速模式较其他模式的一大优点.因为当信号从快时钟域到慢时钟域时,使用脉冲到电平的同步方式,从慢时钟域到快时钟域时,使用脉冲到脉冲的同步方式^[4],而在本设计中没有涉及到跨时钟域,所以只利用 D 触发器做了两级链来进行同步.

该模块还包含起始和停止状态的检测,以及 SCL 和 SDA 的上升沿或下降沿的检测.

3.4 协议处理模块

该模块包括时钟分频模块和状态机控制模块.

时钟分频模块:当控制器作为主机时,该单元通过

对系统时钟进行分频来产生 SCL 时钟.本设计中通过改变时钟分频控制寄存器中的分频值来生成不同模式下所需的传输速率,其简单方便,使控制器灵活地在不同模式间进行转换.当控制器作为从机时,SCL 时钟是外部输入的,这时只要将该模块禁止即可.

状态机控制模块:当控制器作为主机时,主机先发送起始条件,然后发送所需从机的地址的高两位和读写控制信号,如果收到的应答信号为低(低有效),则继续发送从机地址的低 8 位,如果收到的应答信号为低,则表明寻址成功.这时,如果控制信号为 0,表明主机要发送数据给从机,则主机按 8 位一帧开始发送数据;如果控制信号为 1,表明主机要从从机接收数据,则首先发送重复起始条件,然后发送从机地址的高两位,如果接收到从机的应答信号,则开始接收数据.当传输数据完成之后,主机发送停止条件,表明传输的结束.具体的状态机设计如图 4(a)所示,主机在每一个状态(除了接收或发送应答信号状态)都要进行仲裁,如果仲裁失败,则返回到空闲状态,等待下一次的传输.并且在本设计中将主机发送地址和主机发送数据合并为一个主机发送数据的状态.

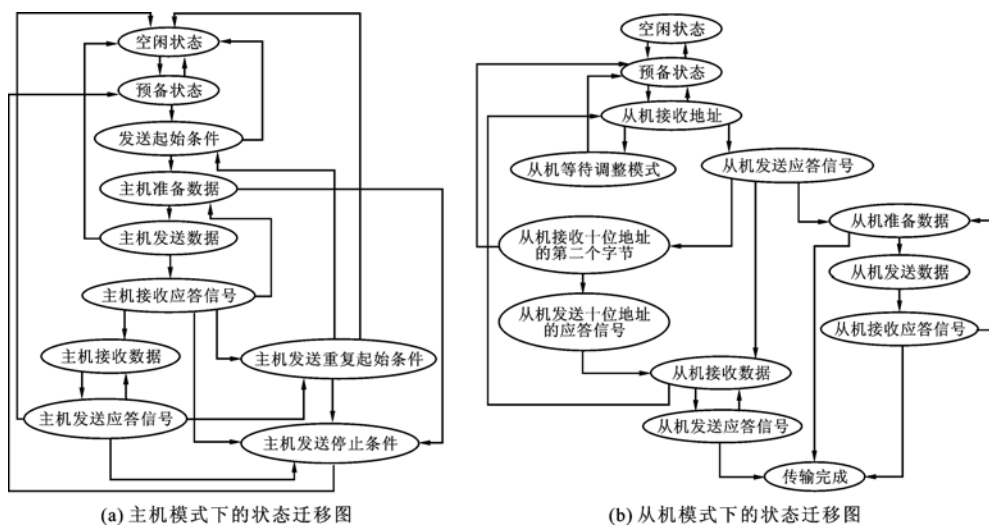


图 4 主从模式下的状态迁移图

当控制器作为从机时,首先检测起始条件,然后接收主机发出的地址的高两位和控制信号,如果地址的高两位与自己的不匹配,则返回到预备状态,等待下一次的寻址,如果地址与自己地址的高两位匹配,则给出应答信号,再接收地址的低 8 位,同样,如果匹配,给出应答信号,如果不匹配,返回到预备状态,等待下一次的寻址.然后开始数据的传输,如果控制信号为 0,则接收主机发出的数据;如果控制信号为 1,则发送数据给主机.在数据传输过程中,如

果检测到起始条件,则重新开始接收地址;如果检测到停止条件,则表明传输结束.具体的状态机设计如图 4(b)所示.

4 验证与仿真

本文设计的 I²C 控制器在验证过程中采用的是 eRM(e Reuse Methodology),使用 E 语言来搭建 Testbench,验证工具使用的是 Cadence 公司的验证工具 Specman Elite,仿真器采用 Mentor 公司的

Modelsim Simulator.

验证环境如图 5 所示,Interface eVC 模拟一个从机和一个主机与 I²C 控制器进行发送/接收通信。I²C 控制器具有 AHB 接口,可以通过 AHB 总线进行 I²C

控制器的配置操作. 通过 Module eVC 对 I²C 控制器进行监控, 自动检查通讯功能和时序的正确性. 经过验证, 本文设计的 I²C 控制器可以正确地实现主机接收、主机发送、从机接收和从机发送等功能.

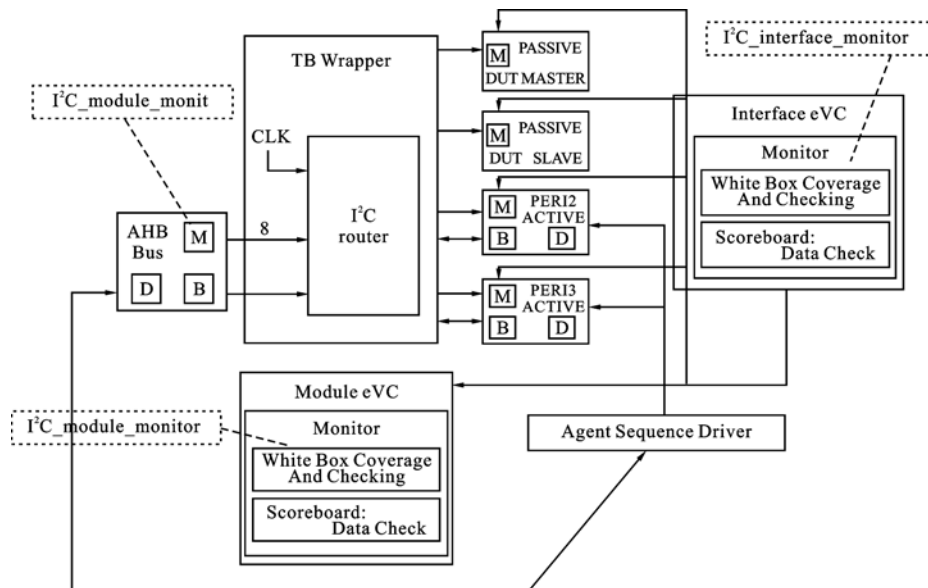


图 5 验证环境图

5 结束语

本文设计了带 AHB 接口的 I²C 控制器, 支持十位寻址(兼容七位寻址)、高速模式(兼容标准或快速模式)、广播模式等功能, 增加了可用的从机地址数量, 提高了数据传输速率. 通过功能仿真及验证, 证明本文设计的控制器可以正确地实现主机接收、主机发送、从机接收和从机发送等功能.

参考文献:

- [1] 陈光建,贾金玲. 基于单片机的 I²C 总线系统设计[J]. 仪器仪表学报,2006,27(6):2465-2466.

- [2] 杨夏,金渝,付蔚,等. 基于 FPGA 的 I²C 控制器设计[J]. 总线与网络,2008(2):16-19.
- [3] 陈秀玲,周欣,陈黎平. I²C 总线数据传输系统的设计及其应用[J]. 开发应用,2003, 19(5):42-45.
- [4] 陈庆宇,盛廷义,吴龙胜,等. 面向 AHB 总线从单元的可复用接口设计[J]. 微电子学与计算机,2012, 29(12):59-63.

作者简介：

艾 刁 女, (1988—), 硕士研究生. 研究方向为 IC 设计.
吴龙胜 男, (1970—), 研究员, 总工程师. 研究方向为 IC 设计、SoC 设计.
盛廷义 男, (1974—), 研究员. 研究方向为 SoC 设计、验证.